



JPW

520.43863X00

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Applicant(s): H. OHTA, et al.

Serial No.: 10/849,211

Filed: May 20, 2004

Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD  
THEREFOR

**LETTER CLAIMING RIGHT OF PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

June 23, 2004

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on:

**Japanese Patent Application No. 2003-141403  
Filed: May 20, 2003**

A certified copy of said Japanese Patent Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



\_\_\_\_\_  
Gregory E. Montone  
Registration No.: 28,141

GEM/rr  
Attachment

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2003年 5月20日

出願番号 Application Number: 特願2003-141403

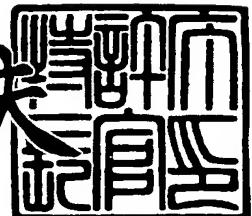
[ST. 10/C]: [JP2003-141403]

出願人 Applicant(s): 株式会社ルネサステクノロジ

2004年 5月20日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願  
【整理番号】 NT03P0562  
【提出日】 平成15年 5月20日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 27/00  
【発明者】  
【住所又は居所】 茨城県土浦市神立町 502 番地 株式会社日立製作所  
機械研究所内  
【氏名】 太田 裕之  
【発明者】  
【住所又は居所】 茨城県土浦市神立町 502 番地 株式会社日立製作所  
機械研究所内  
【氏名】 熊谷 幸博  
【発明者】  
【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサ  
ステクノロジ内  
【氏名】 茂庭 昌弘  
【発明者】  
【住所又は居所】 茨城県土浦市神立町 502 番地 株式会社日立製作所  
機械研究所内  
【氏名】 奈須 真吾  
【特許出願人】  
【識別番号】 503121103  
【氏名又は名称】 株式会社ルネサステクノロジ  
【代理人】  
【識別番号】 100068504  
【弁理士】  
【氏名又は名称】 小川 勝男  
【電話番号】 03-3661-0071

**【選任した代理人】**

【識別番号】 100086656

**【弁理士】**

【氏名又は名称】 田中 恭助

【電話番号】 03-3661-0071

**【手数料の表示】**

【予納台帳番号】 081423

【納付金額】 21,000円

**【提出物件の目録】**

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】

半導体基板と、

前記半導体基板上に絶縁層を介して形成された、不純物拡散領域により積層方向に挟まれるようにチャネル領域が形成された柱状のゲート柱と、

前記ゲート柱の外周に形成されたゲート絶縁膜と、

前記ゲート絶縁膜の外周に形成されたゲート電極膜と、を有し、

前記ゲート電極膜は、前記ゲート柱から前記ゲート電極が形成された方向に複数の層により形成されることを特徴とする半導体装置。

【請求項 2】

半導体基板と、

前記半導体基板上に絶縁層を介して形成された、不純物拡散領域により積層方向に挟まれるようにチャネル領域が形成された柱状のゲート柱と、

前記ゲート柱の外周側と囲むように形成されたゲート電極膜と

前記ゲート柱と前記ゲート電極膜との間に形成されたゲート絶縁膜と、を備え、

前記ゲート電極膜は、前記ゲート柱を周方向から囲むよう形成される第一の電極膜と前記第一の電極膜を外周側から囲むように形成される第二の電極膜を備えることを特徴とする半導体装置。

【請求項 3】

請求項 1において、

前記ゲート電極膜の前記基板側に配線層が形成され、

前記ゲート電極膜は第一の電極膜と前記第一の電極膜の外周側に形成される第二の電極膜を有し、

前記第一の電極膜は前記配線層と離れたところに膜の端部が位置し、前記第二の電極膜は前記配線層と電気的に接続するよう形成されることを特徴とする半導体装置。

【請求項 4】

請求項 1において、

前記ゲート電極膜は第一の電極膜と前記第一の電極膜の外周側に形成される第二の電極膜を有し、

前記第一の電極膜の端部は前記第二の電極膜の端部より前記半導体基板から離れるよう形成されることを特徴とする半導体装置。

**【請求項 5】**

請求項 2において、前記第一の電極膜は前記第二の電極膜より薄く形成されることを特徴とする半導体装置。

**【請求項 6】**

請求項 2において、前記第一の電極膜の粒径は前記第二の電極膜の粒径より小さく形成されることを特徴とする半導体装置。

**【請求項 7】**

請求項 2において、前記第一の電極膜と前記第二の電極膜は多結晶シリコン膜を含むことを特徴とする半導体装置。

**【請求項 8】**

請求項 2において、前記第一の電極膜は多結晶シリコン膜、前記第二の電極膜は金属元素を含む導電性膜であることを特徴とする半導体装置。

**【請求項 9】**

請求項 2において、

前記チャネル領域の粒径は前記第一の電極膜或は前記第二の電極膜の粒径より大きく形成されることを特徴とする半導体装置。

**【請求項 10】**

半導体基板上に絶縁層を介して不純物拡散領域により積層方向に挟まれるようにチャネル領域が形成された柱状のゲート柱を形成する工程と、

前記ゲート柱の外周側を囲むようにゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜の外周側を囲むようにゲート電極膜を形成する工程と、を有し、

前記ゲート電極膜は、前記ゲート柱を周方向から囲むようにアモルファス状の第一のシリコン層を形成する工程と、前記形成した前記シリコン層を熱処理する工

程と、前記第一の電極層を外周側から囲むように多結晶の第二のシリコン層を形成する工程と、前記第二の電極層を熱処理する工程と、を備えることを特徴とする半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に関する。

##### 【0002】

##### 【従来の技術】

近年の情報通信機器の小型化に伴い、メモリLSI、システムLSI等の半導体装置に対するチップ面積低減の要求は年々増加しており、トランジスタの電気的特性を従来通り維持しながらメモリセル面積を縮小することが望まれている。このセル面積の縮小の取り組みとして縦形トランジスタの採用がある。従来の縦形トランジスタには、特許文献1に開示されているように、シリコン基板上に形成した薄膜に孔を形成し、該孔に縦形トランジスタのチャネルを埋め込んで形成するタイプのもの、特許文献2に開示されているように、シリコン基板中に孔を形成し、この孔の側面をチャネルとして用いるタイプものの、特許文献3に開示されているように、シリコン基板上にシリコンの突起を形成し、チャネルとして用いるタイプのものがある。

##### 【0003】

##### 【特許文献1】

特開2001-320031号公報

##### 【特許文献2】

特開平10-107286号公報

##### 【特許文献3】

特開平10-326879号公報

##### 【0004】

##### 【発明が解決しようとする課題】

しかし、従来の縦形トランジスタでは、電気的特性の劣化や特性ばらつきの増

大などの対策が必要であり、前記従来技術の形態では製品歩留りの低下や性能劣化対策について具体化されていない。本発明者らは従来の横形トランジスタに比べて応力が過大となるため、電気的特性の劣化や特性ばらつきの増大が顕在化し、製品歩留りの低下や性能劣化が問題となっていることを検討した。すなわち、チャネルを形成する領域の応力が過大となるため、この応力によりドレイン電流  $I_{ds}$  が影響を受けること、同様にゲート酸化膜の応力も過大となるのでゲート酸化膜中のリーク電流が増加すること、該チャネル領域を含むシリコン部分の加工ばらつきによってチャネル領域およびゲート酸化膜中の応力が変動し易く、ドレイン電流  $I_{ds}$  やゲート酸化膜中のリーク電流や耐圧特性のばらつきが拡大すること、等の課題があることを検討した。

#### 【0005】

そこで、本発明の目的は、上記のうち、少なくとも1つを解決するためになされたものである。

#### 【0006】

##### 【課題を解決するための手段】

上記課題は、ゲート電極膜の応力を分割成膜構造或は、イオン注入等を用いて、縦形トランジスタのゲート酸化膜やシリコンタワー部、特にチャネル部に負荷される応力を低減することによって解決される。これにより縦形トランジスタを採用した場合でも製品歩留りの低下や性能劣化が防止でき、チップの高集積化と高性能化が可能となる。

#### 【0007】

具体的には以下の形態をとることができる。

#### 【0008】

半導体基板と、前記半導体基板上に絶縁層を介して形成された、不純物拡散領域により積層方向に挟まれるようにチャネル領域が形成された柱状のゲート柱と、前記ゲート柱の外周に形成されたゲート絶縁膜と、前記ゲート絶縁膜の外周に形成されたゲート電極膜と、を有し、前記ゲート電極膜は、前記ゲート柱から前記ゲート電極が形成された方向に複数の層により形成されることを特徴とする半導体装置である。

**【0009】**

または、半導体基板と、前記半導体基板上に絶縁層を介して形成された、不純物拡散領域により積層方向に挟まれるようにチャネル領域が形成された柱状のゲート柱と、前記ゲート柱の外周側と囲むように形成されたゲート電極膜と前記ゲート柱と前記ゲート電極膜との間に形成されたゲート絶縁膜と、を備え、前記ゲート電極膜は、前記ゲート柱を周方向から囲むよう形成される第一の電極膜と前記第一の電極膜を外周側から囲むように形成される第二の電極膜を備えることを特徴とする半導体装置である。

**【0010】**

これにより、結晶粒径を効率的にゲート柱の半径方向に微細化でき、加わる応力を効果的に低減できる。また、ゲート絶縁膜側の膜を効果的に応力低減を図ることにより、電気的特性の劣化を効率的に抑制できる。

**【0011】**

なお、本発明者らは前記特徴に基づき公知例を調査した。その結果、例えば、特開平5-251710号公報などには複数の電極が開示されていた。しかし、本形態は、フラッシュメモリを構成する各電極が開示されているに過ぎず、一つの電極は多層構造になっていなかった。また、特開平6-268173号公報に縦型トランジスタの例が開示されていたが、やはり単層の電極が開示されているものであった。

**【0012】****【発明の実施の形態】**

以下、本発明の第1実施例を図1から図4を用いて示す。なお、本発明は、本明細書に例示した形態に限られるのではなく、周知技術及び周知技術となった技術に基づく修正を制限するものではない。

**【0013】**

まず、図1に第一実施例である半導体装置の断面構造を示す。該構造はシリコン基板1上の横形トランジスタ11とその上方に配置された縦形トランジスタ21から構成されている。横形トランジスタ11は少なくともゲート電極12、ゲート酸化膜13、素子分離膜14、サイドウォール15、コンタクト16、下部層間絶縁膜17を構成要素として含む。この横形トランジスタ11は、現在数多く量産されている一般

のMOSトランジスタと同様なもので良く、各構成要素に関しては数多くの材料、プロセスや構造の提案がなされているが、そのどれを用いてもよい。

縦形トランジスタ21は、少なくともゲート電極22、ゲート酸化膜23、シリコンタワー24、配線25、コンタクト26、上部層間絶縁膜27、台座29で構成される。

#### 【0014】

まず、ゲート電極22に関して本発明の特徴を説明する。このゲート電極22の材料は導電性向上のための不純物を含有したシリコン膜が望ましく、他にも高温のプロセスにも安定で酸化量が少ない、シリコンタワー24側面のカバレッジが良い等の利点を有する。ゲート電極22はゲート酸化膜23およびシリコンタワー24の周囲を囲むように形成される。この構造のため、通常の横形トランジスタに比べて、縦形トランジスタの電気的特性はゲート電極22の応力の影響を非常に受け易いことが発明者らの研究の結果、明らかとなった。

#### 【0015】

そこで該ゲート電極22は分割して成膜を行い、多層膜状態にすることで膜応力の低下を図り、縦形トランジスタ21の特性劣化や特性ばらつきを防止することを考案した。すなわち、ゲート電極22を形成する場合に、分割して成膜することによりゲート電極22の膜応力を低下させることができるので、ゲート酸化膜23やシリコンタワー24内のチャネル部の応力を低く抑えることができる。トータルの膜厚は同じでも、分割して成膜を行うことで膜応力が低下する。これは1回の成膜処理における膜厚を減少することで結晶粒が小さくなり、これに伴って応力が減少したからであると考えられる。それぞれの分割した膜の界面においてわずかに酸化膜が存在し、各膜の結晶が界面において明確に分割されている場合に応力低減効果を有することが我々の研究で明らかになっている。よって、ゲート電極22のシリコン膜をアモルファスとなる成膜条件で成膜する場合においても、各層ごとに結晶化させながら積層していくことが望ましい。しかしながら各層ともアモルファス状態のままで積層する場合においても、界面に酸化膜を形成することにより、効果は認められる。

#### 【0016】

また、ゲート電極22を分割して成膜する場合に各成膜処理の間に他の加工プロ

セスを行ってもよい。たとえば、1層目の成膜と2層目の成膜の間に熱処理やエッチング等の加工プロセスが導入されても良く、その場合には1層目の膜の表面にわずかに酸化膜が形成されるので、確実な応力の低下が期待できる。以上のように、ゲート電極22を分割して成膜することによりシリコンタワー24内のチャネル部やシリコンタワー24表面のゲート酸化膜23に負荷される応力が低減できるので、ゲート酸化膜23中のリーク電流の低減やドレイン電流特性の劣化防止を達成できる。また、ゲート電極22の膜応力が過大な場合には、シリコンタワー24の太さがばらついた場合にシリコンタワー24内のチャネル部の応力が大きくばらつき、これが電気的特性のばらつきにつながることが明らかになっている。しかしながら本実施例によれば、ゲート電極22の膜応力を低減でき、シリコンタワー24の太さがばらついた場合でも電気的特性の変動（ばらつき）を最小限に抑えることができる。

#### 【0017】

このゲート電極22の材料として、タングステンシリサイド、タングステン、タングステンナイトライド、モリブデン、モリブデンシリサイド、モリブデンナイトライド、チタンナイトライドを用いても良く、タングステン、モリブデンの場合には電極の低抵抗化が図れる利点を有し、タングステンシリサイド、タングステンナイトライド、モリブデンシリサイド、モリブデンナイトライド、チタンナイトライドの場合には低抵抗化の他に耐酸化性を有するという利点がある。

#### 【0018】

シリコンタワー24はその一部が不純物拡散領域28a、28bでチャネル領域28cを挟むように構成され、ソース・ドレインを形成する。縦形トランジスタをpチャネル型電界効果トランジスタにする場合には不純物拡散領域28a、28bの不純物としてボロンを含有させ、nチャネル型電界効果トランジスタにする場合にはリンを含有させることが望ましい。また、配線25aおよびコンタクト26にはタングステンやモリブデン等の高融点金属を用いると、耐熱性や低抵抗化の観点から望ましい。

#### 【0019】

本実施例における半導体装置の製造方法を以下に述べる。横形トランジスタ11

は通常のMOSFETの製造方法と同様な手法を用いてゲート電極12、ゲート酸化膜13、素子分離膜14、サイドウォール15を製作し、その上方にコンタクト16、下部層間絶縁膜17a、17b、配線25a、25bを形成する。配線25a、25bは酸化シリコン、あるいは窒化シリコンの膜を間に成膜することによってそれぞれ電気的に分離される。次に縦形トランジスタ21を形成するために、その上に酸化シリコンあるいは窒化シリコン等の膜を成膜した後、シリコンタワー24の底部と接触する位置にコンタクト26を形成し、配線25aと電気的な接続を行う。さらにその上にシリコン膜を堆積させ、シリコンタワー24となる部分を残してエッチングを行う。このとき、シリコンタワー24は不純物のドープに関して、高濃度不純物ドープ層／低濃度不純物ドープ層／高濃度不純物ドープ層、と3層になるように形成する。その結果、シリコンタワー24はその一部が高濃度不純物拡散領域28a、28bで構成され、縦形トランジスタ21のソース・ドレインとする。さらに熱酸化処理を行い、シリコンタワー24の表面にゲート酸化膜23を形成する。

#### 【0020】

この後にゲート酸化膜23、ゲート電極22を順次形成していくが、この処理法に依存してゲート電極22の持つ膜応力が大きく変わり、縦形トランジスタの性能に大きな影響を及ぼす。まずゲート酸化膜23の上方にシリコン膜を堆積させ、エッチングすることでゲート電極下部22aを得る。さらにシリコンタワー24自体をマスクとしてエッチングを行い、台座29を形成する。さらに、この台座29の側面、およびゲート電極下部22aの表面にシリコン膜を堆積させ、ゲート電極上部22bを得る。ゲート電極下部22a、ゲート電極上部22bとも、加工精度の観点からアモルファス状態、もしくは微結晶状態で成膜し、後のアニール工程で結晶化することが望ましいが、結晶化時に膜収縮により大きな応力が発生するので注意が必要である。通常、応力の観点での考慮をしない場合にはゲート電極下部22aを成膜した後にゲート電極上部22bを成膜するまで温度上昇はないので結晶化はせず、その後の高温アニール時に両者とも同時に結晶化することになる。その結晶化の際には、ゲート電極下部22aとゲート電極上部22bにまたがる巨大結晶粒が成長し、大きな応力が発生する。その場合にはゲート電極下部22aとゲート電極上部22bの界面は不明瞭となり、大小の結晶粒が混在した一体の膜となる。

### 【0021】

この膜応力の増大を防止するために、本実施例ではゲート電極下部22aの成膜後にアニールによる結晶化処理を行った後にゲート電極上部22bを成膜する。この処理によって、図1などに示すようにゲート電極下部22aとゲート電極上部22bの境界面に薄いシリコン酸化膜層30が形成されており、またゲート電極下部22aとゲート電極上部22bのそれぞれの膜内で結晶粒が独立して存在し、ひと続きの結晶粒とならず、このためゲート電極22の膜応力低減が可能となる。このシリコン酸化膜層30の厚さはゲート電極上部22bの結晶化時のエピ成長を阻害するため必要であるので数原子層以上あれば良い。また、ゲート電極下部22aとゲート電極上部22bの各膜の成膜時に、それぞれの膜が分割して複数回の成膜処理によって形成されていても良く、成膜処理の回数が多い方が応力低減効果は高くなる。このとき、分割して成膜した各膜の表面がわずかに酸化されるようにすることで、結晶粒が各膜内で独立に成長することで応力低減の効果が得られる。

### 【0022】

また、ゲート電極下部22aの成膜処理とゲート電極上部22bの成膜処理のプロセス間に結晶化のためのアニールを行わない場合でも、ゲート電極下部22aの成膜処理とゲート電極上部22bの境界面にシリコン酸化膜層30を設けることで応力低減が実現できる。すなわち、シリコン酸化膜層30の存在により、ゲート電極下部22aとゲート電極上部22bの結晶成長がそれぞれ独立して進行しやすいために結晶粒が小さくなる傾向があり、このため膜応力は減少する。上記のゲート電極下部22aの成膜処理とゲート電極上部22bの成膜処理の間に結晶化のためのアニールを行なう場合に比べて、その応力低減効果は小さいが、工程数が削減できるために製品を安価に製造できる利点がある。

このゲート電極上部22bの成膜後、上部層間絶縁膜27を堆積させ、コンタクト31、上部配線32を順次形成する。

### 【0023】

このように、半導体基板（例えばシリコン基板1）上に層間絶縁膜などの絶縁層を介して形成された、不純物拡散領域28a、28bにより積層方向に挟まれるようチャネル領域28cが形成された柱状のゲート柱（例えばシリコントワ24）と

、そのゲート柱の外周に形成されたゲート絶縁膜（例えば酸化膜であってもよい、シリコン酸化膜より高誘電率膜であってもよい）と、前記ゲート絶縁膜の外周に形成されたゲート電極膜22と、を有し、前記ゲート電極膜22は、前記ゲート柱から前記ゲート電極が形成された方向に複数の層により形成されることを特徴とする。

#### 【0024】

または、半導体基板上に絶縁層を介して形成された、不純物拡散領域28a, 28bにより積層方向に挟まれるようにチャネル領域28cが形成されたゲート柱と、そのゲート柱の外周側と囲むように形成されたゲート電極膜22と前記ゲート柱と前記ゲート電極膜との間に形成されたゲート絶縁膜23と、を備え、前記ゲート電極膜22は、前記ゲート柱を周方向から囲むよう形成される第一の電極膜（例えばゲート電極上部22a）と前記第一の電極膜を外周側から囲むように形成される第二の電極膜（例えばゲート電極下部22b）を備えることを特徴とする。

#### 【0025】

これにより、結晶粒径を効率的にゲート柱の半径方向に微細化でき、加わる応力を効果的に低減できる。また、ゲート絶縁膜側の膜を効果的に応力低減を図ることにより、電気的特性の劣化を効率的に抑制できる。

#### 【0026】

また、ゲート電極の具体的構造としては、以下のようにすることが好ましい。

#### 【0027】

例えば、第一の電極膜は前記第二の電極膜より薄く形成される。

#### 【0028】

これにより、第一の電極膜のゲート柱への応力低減を図ることができる。また、外側が前記配線層に連絡している場合、コンタクト抵抗を低減して高速処理に好適な構造とすることができます。

#### 【0029】

ゲート電極膜の結晶粒径関係として、第一の電極膜の粒径は第二の電極膜の粒径より小さく形成されることを特徴とする。これにより、ゲート絶縁膜へ応力の影響を効果的に低減できる。

**【0030】**

なお、例えば、この場合、共に多結晶シリコン膜であることができる。

**【0031】**

また、前記第一の電極膜と前記第二の電極膜は多結晶シリコン膜を有することができる。

**【0032】**

また、第一の電極膜は多結晶シリコン膜、第二の電極膜は金属元素を含む導電性膜であることを特徴とする。例えば、前記導電性膜がW、Mo、Ti、TiN、WN、Ruのいずれかを有する膜であることができる。これにより、高速処理に好適な半導体装置を形成することができる。

**【0033】**

または、前記導電性膜がWSi、CoSi、NiSi、TiSi、RuSiのいずれかを有する膜であることができる。これにより、効果的に低抵抗化を図ることができ、高速化対応の装置を形成できる。また、酸化を抑制できるので低抵抗状態を効果的に維持することができる。

**【0034】**

複数層ゲート具体例としては、例えば、第一の電極膜と第二の電極膜との間に酸化シリコンが形成されている。

**【0035】**

他の複数層ゲート具体例としては、ゲート電極をポリシリコンで形成し、該ポリシリコンにAs、P、B、Ge、Arイオンのいずれかを注入する工程を有することができる。

**【0036】**

また、多層ゲートの下端について見ると、ゲート電極膜の前記基板側に配線層25bが形成されている。この場合、第一の電極膜の例であるゲート電極上部22aは配線層25bと離れたところに膜の端部が位置し、第二の電極膜の例であるゲート電極下部22bは配線層25bと電気的に接続するよう形成されることを特徴とする。これにより、ゲート電極膜側への応力を抑制しつつ、良好なコンタクトを図ることができる。

**【0037】**

本実施例では第一の電極膜は前記ゲート絶縁膜に対向して配置されている膜である例を示している。

**【0038】**

また、チャネル領域28cの粒径は第一の電極膜であるゲート電極上部22a或は第二の電極膜であるゲート電極下部22bの粒径より大きく形成されることを特徴とする。これにより、チャネルの電子移動度を大きくしつつ、電極膜から加える応力を低減することにより、高性能の半導体装置を構成することができる。例えば、この関係を測定する場合には、前記チャネル領域がシリコンを有し、前記第一の電極がシリコンを有する場合、積層方向の断面図においてチャネル領域に軸方向（積層方向）に線を引き、線上の粒界との交点に印を付け、交点の長さの平均を求める。同様にゲート電極膜についても平均を求めて比較するようになることができる。

**【0039】**

また、製造方法としては、ゲート電極膜は、ゲート柱であるシリコンタワ24を周方向から囲むようにアモルファス状の第一のシリコン層を形成する工程と、前記形成した前記シリコン層を熱処理する工程と、前記第一の電極層を外周側から囲むように多結晶の第二のシリコン層を形成する工程と、前記第二の電極層を熱処理する工程と、を備えることが好ましい。なお、アモルファスシリコンは微細粒シリコンを含むこともできる。

**【0040】**

なお、ゲート電極をポリシリコンで形成し、該ポリシリコンにAs、P、B、Ge、Arイオンのいずれかを注入する工程を有することができる。

**【0041】**

次に本発明の第二の実施例を図2から図3を用いて示す。基本的には前記図1の実施例の説明で用いた形態を備えることができる。本実施例はゲート電極22に斜めイオン注入処理を行うことで応力を低下させるものである。ゲート電極下部22aを成膜し、さらにゲート電極下部22aの結晶化を行わずにゲート電極上部22bを成膜する。そして、結晶化アニールを行うことで高応力状態とする。この後、

図3に示すように、ウエハを回転させながらウエハ上方斜め方向よりイオンを注入する。図4にはイオン注入による応力低減効果を示した。同図は100nm厚のシリコンナイトライド膜にGeイオンを注入したものであるが、膜厚の1/2以上の深さへのイオン注入によって大幅な応力低下が実現できることがわかる。ゲート電極を構成するポリシリコンにイオン注入を行っても同様な効果が得られる。なお、イオン注入深さを深くしすぎると、ゲート酸化膜に損傷を与えて、リーク電流等の原因となるため、ゲート酸化膜に注入イオンが到達しない範囲で深く打ち込むことが重要である。イオン注入によってゲート電極22の膜応力が1/5以下に低下し、その後のアニールによって若干の応力上昇はあるものの、低応力が維持される。イオン注入によってシリコン原子の結合を切断するために応力低下効果を有すると思われる。注入するイオン種としては重い元素の方が有効であり、特にヒ素、リン、ボロン、シリコン、ゲルマニウム、アルゴン、アンチモンはデバイス特性に影響を与えるにくいので有効である。ドーズ量は、シリコン結晶中の打ち込み原子の最大濃度が $1\times10^{19}$ 個/cm<sup>3</sup>から $1\times10^{21}$ 個/cm<sup>3</sup>の範囲となるように設定されることが望ましい。また、イオン注入の際に注入されたイオンがゲート酸化膜23にまで到達しないように加速電圧を設定することが必要である。このイオン注入による応力低減は本発明の第一の実施例と組み合わせて用いると、さらに効果的であり、具体的にはゲート電極下部22aを成膜し、アニールによって結晶化させた後、イオン注入処理を行い、さらにゲート電極上部22bの成膜、アニール、イオン注入を行っても良い。

#### 【0042】

以上の処理によって、シリコンタワー24やゲート酸化膜23がゲート電極22から受ける力を小さくすることができるため、ゲート酸化膜23中のリーク電流の低減やドレイン電流特性の劣化防止を達成できる。また、シリコンタワー24の太さがばらついた場合でも電気的特性の変動（ばらつき）を最小限に抑えることができる。さらに本実施例ではアニールの回数を少なくすることができ、低応力化のために短TATのイオン注入処理を用いることから、チップを安価に製造することができる。

#### 【0043】

次に本発明の第三の実施例を図5を用いて示す。基本的には図1に示した実施例の形態を備えることができる。本実施例はその製造工程に特徴を有する。横形トランジスタ11、シリコンタワー24の製造を行い、シリコンタワー24の表面にゲート酸化膜23を形成する部分までは第一の実施例と同様の製造方法である。この後に、図6にフローチャートで記したように、本実施例ではゲート酸化膜23の形成、ゲート電極下部22aの成膜、台座29の形成、ゲート電極上部22bの形成と工程が続くが、ゲート電極下部22aの成膜とゲート電極上部22bの成膜のプロセスの間には結晶化アニール処理を入れず、ゲート電極上部22bの成膜後に上部層間絶縁膜27を成膜し、その後に結晶化のためのアニールを行うことを特徴とする。これにより、結晶化アニールにおいてゲート電極22が収縮する際に、上部層間絶縁膜27とゲート電極22が接着されているために、上部層間絶縁膜27が収縮力を負担し、シリコンタワー24やゲート酸化膜23がゲート電極22から受ける力を小さくすることができる。また、この方法を第一、第二の実施例と組み合わせることによってさらに応力の低減が図れ、さらに有効である。

#### 【0044】

本実施例を適用したデバイスの断面を透過型電子顕微鏡で観察すると、ゲート電極22には、ゲート電極下部22a、ゲート電極上部22bにまたがる巨大結晶粒を含む多結晶が観察され、ゲート電極22の表面にはゲート電極22が酸化されて生成したシリコン酸化膜30が上部層間絶縁膜27とは別に観察される。これは上部層間絶縁膜27中の酸素が拡散してゲート電極22表面が酸化されたものである。以上の実施例によって、ゲート酸化膜23中のリーク電流の低減やドレイン電流特性の劣化防止を達成できる。また、シリコンタワー24の太さがばらついた場合でも電気的特性の変動（ばらつき）を最小限に抑えることができる。また、工程数は最も短くできるので、効果は第一、第二の実施例よりは若干劣るが、チップを最も安価に製造することができるという利点を有する。

#### 【0045】

なお、本実施例ではS R A Mの構造を考慮し、横形トランジスタと縦形トランジスタを組み合わせた場合に関して述べたが、図7に他の実施例の形態の概要を示す。基本的には図1の実施例で示した形態を有することができる。本実施例は

、多層ゲート電極の上端について見ると、第一の電極膜の端部は第二の電極膜の端部より前記半導体基板から離れるよう形成されることを特徴とする。なお、第一の電極膜は図のようにゲート絶縁膜に対向して配置されている膜であることが好ましい。これにより、ゲート絶縁膜の上部はそれより下の領域より薄く形成される領域を有することにより、ゲート絶縁膜に加わる上端部の応力を低下させることができ。例えば、前記上側の不純物領域とチャネル領域との境界より不純物領域側に第二の電極膜の上端が位置するよう形成される。また、例えば、前記第一の電極膜の上端と前記第二の電極膜の上端とは前記ゲート電極膜の厚さ以上の差が形成されている。また、本形態は、シリコン基板のエッチング加工やシリコン基板上にシリコンをエピタキシャル成長させてシリコンタワーを作成した場合にも同様に有効である。

#### 【0046】

#### 【発明の効果】

製品歩留りの低下や性能劣化が防止でき、或はチップの高集積化と高性能化で  
きる半導体装置を提供することができる。

#### 【図面の簡単な説明】

#### 【図1】

本発明の一実施例の半導体装置の断面構造を示す模式図である。

#### 【図2】

本発明の一実施例の半導体装置の断面構造を示す模式図である。

#### 【図3】

本発明の一実施例の半導体装置の断面構造を示す模式図である。

#### 【図4】

本発明の一実施例のイオン注入に関して説明する模式図である。

#### 【図5】

本発明の一実施例の半導体装置の断面構造を示す模式図である。

#### 【図6】

本発明の一実施例のフローを示す模式図である。

#### 【図7】

本発明の一実施例の半導体装置の断面構造を示す模式図である。

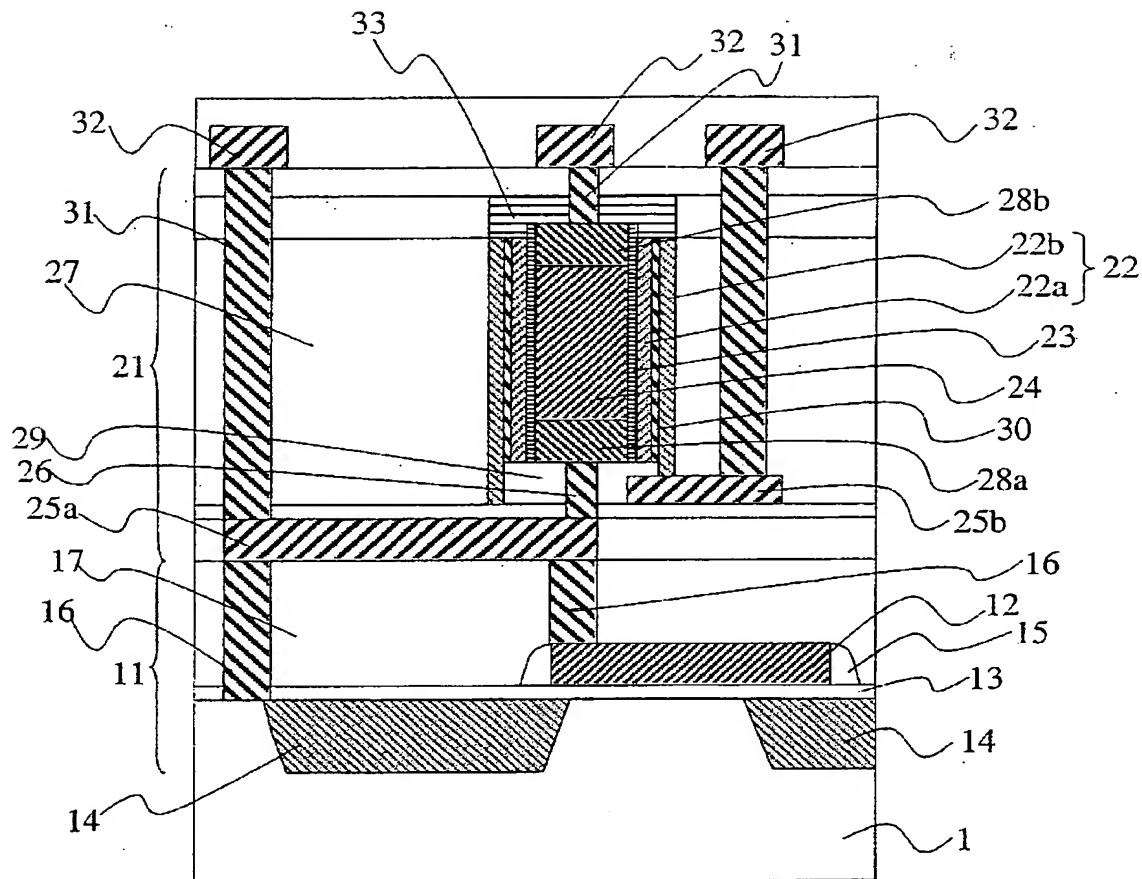
【符号の説明】

1…シリコン基板、11…横形トランジスタ、12…ゲート電極、13…ゲート酸化膜、14…素子分離膜、15…サイドウォール、16…コンタクト、17a、17b…下部層間絶縁膜、21…縦形トランジスタ、22…ゲート電極、22a…ゲート電極上部、22b…ゲート電極下部、23…ゲート酸化膜、24…シリコンタワー、25、25a、25b…配線、26…コンタクト、27…上部層間絶縁膜、28a、28b…不純物拡散領域、29…台座、30…シリコン酸化膜層、31…コンタクト、32…上部配線、33…絶縁層。

【書類名】 図面

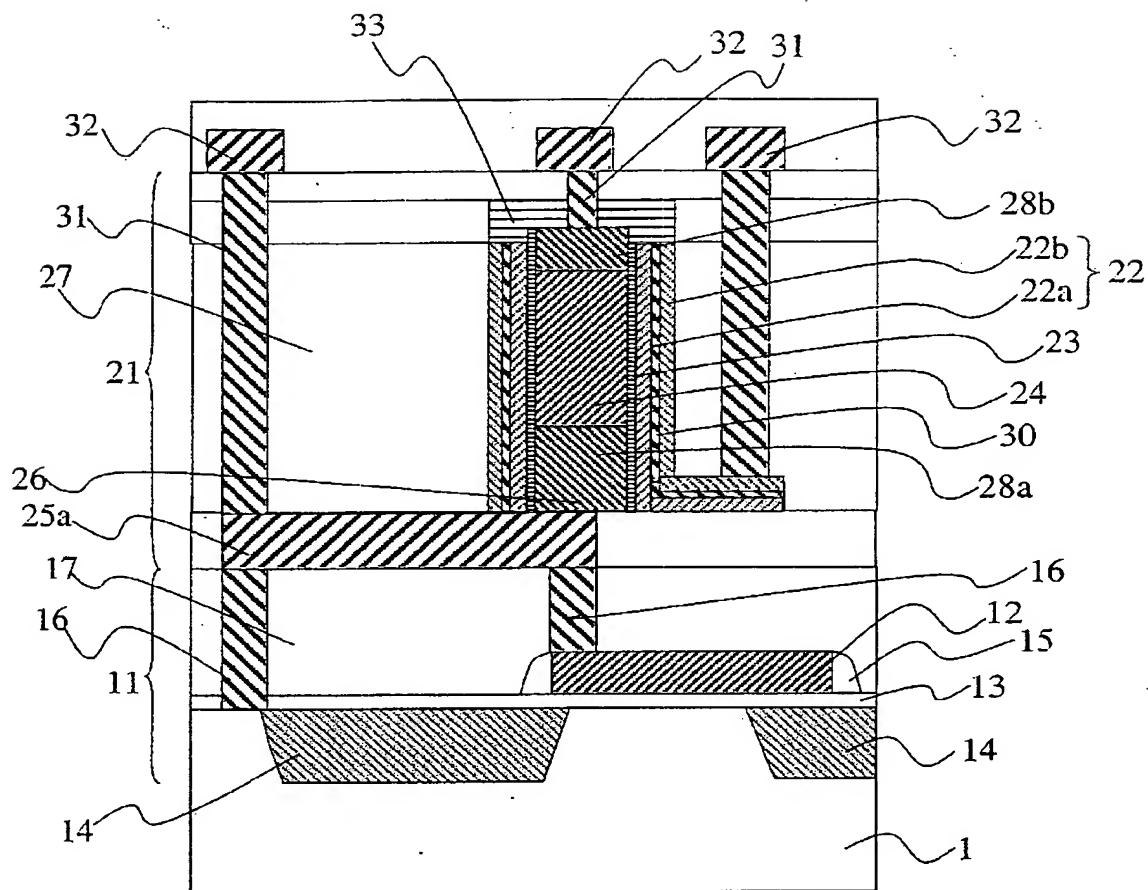
【図1】

図1



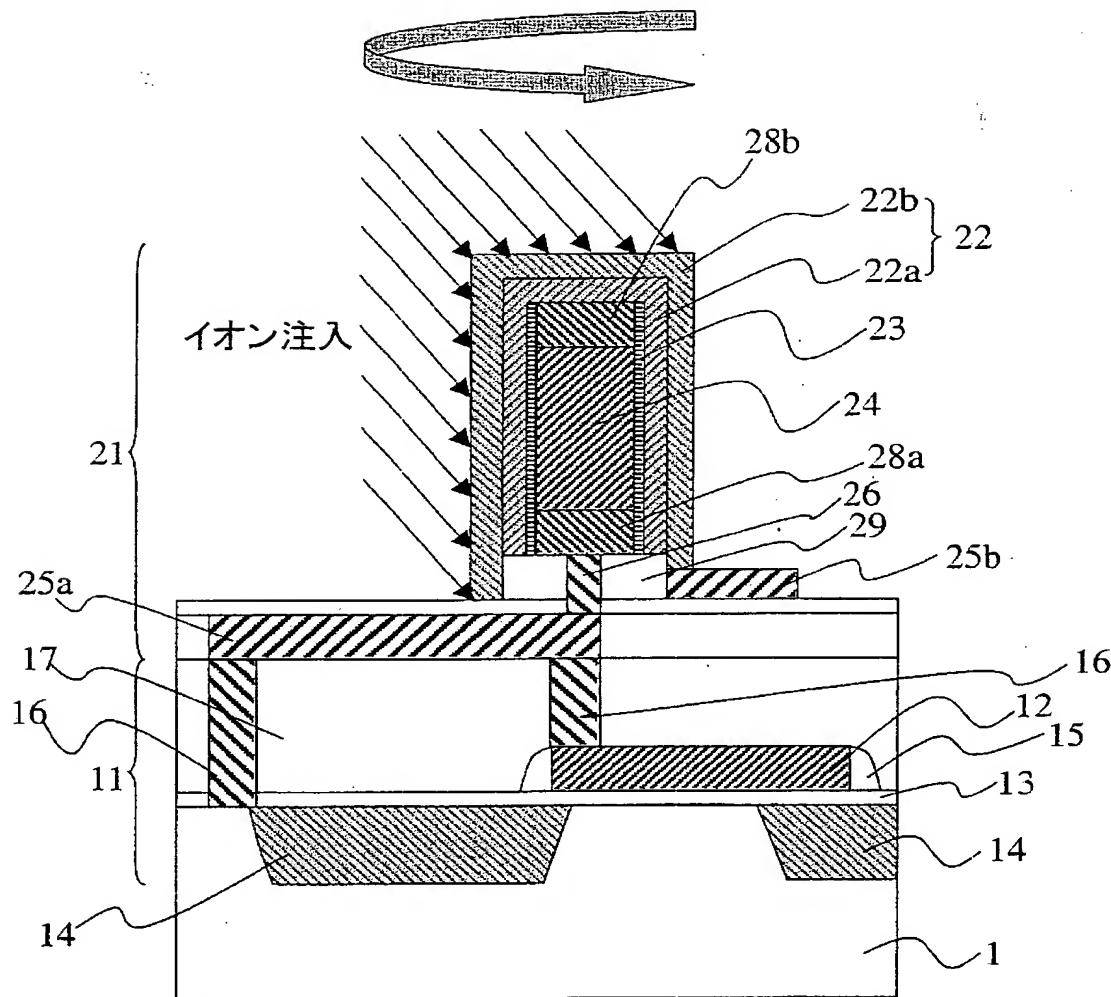
【図2】

図2



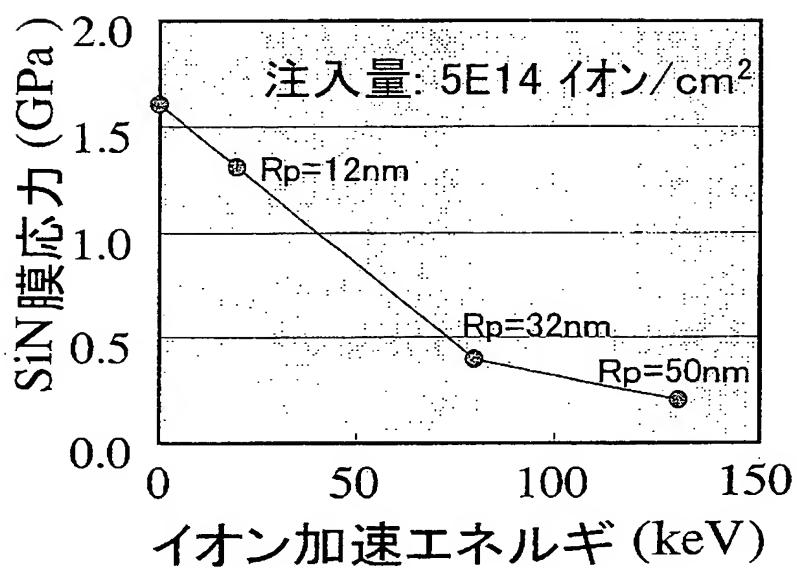
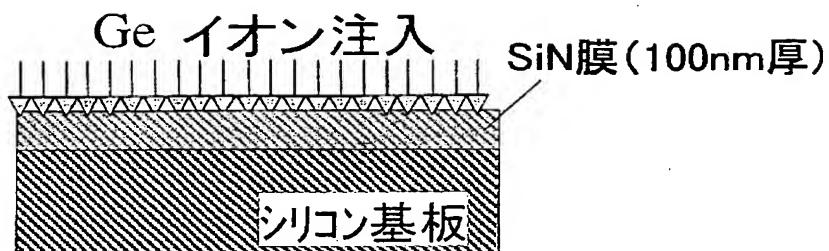
【図3】

図3



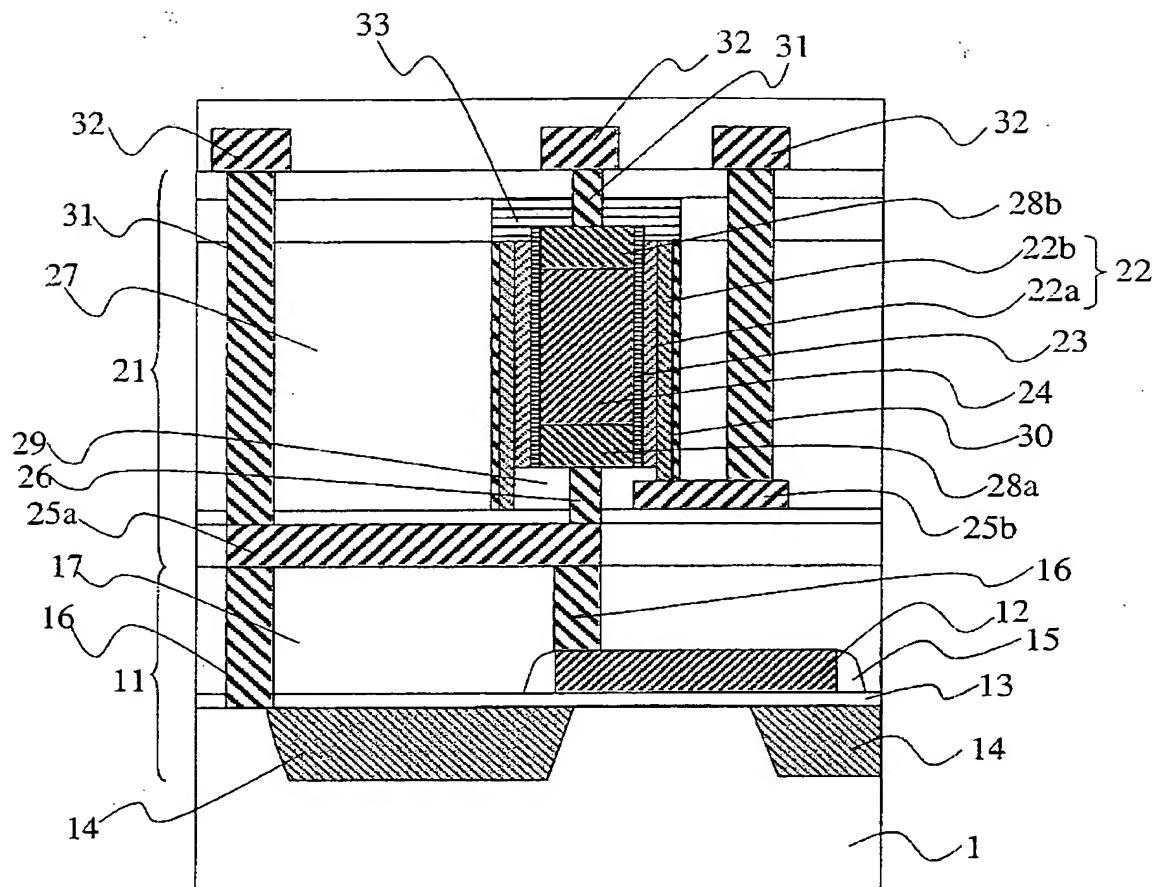
【図4】

図4



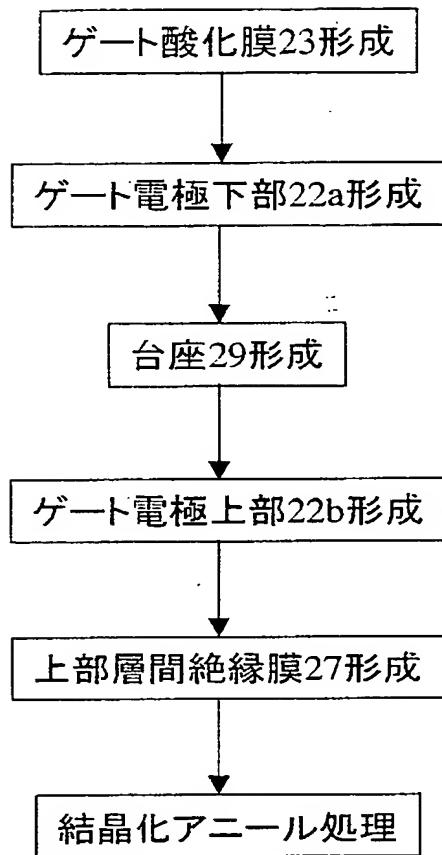
【図5】

図5

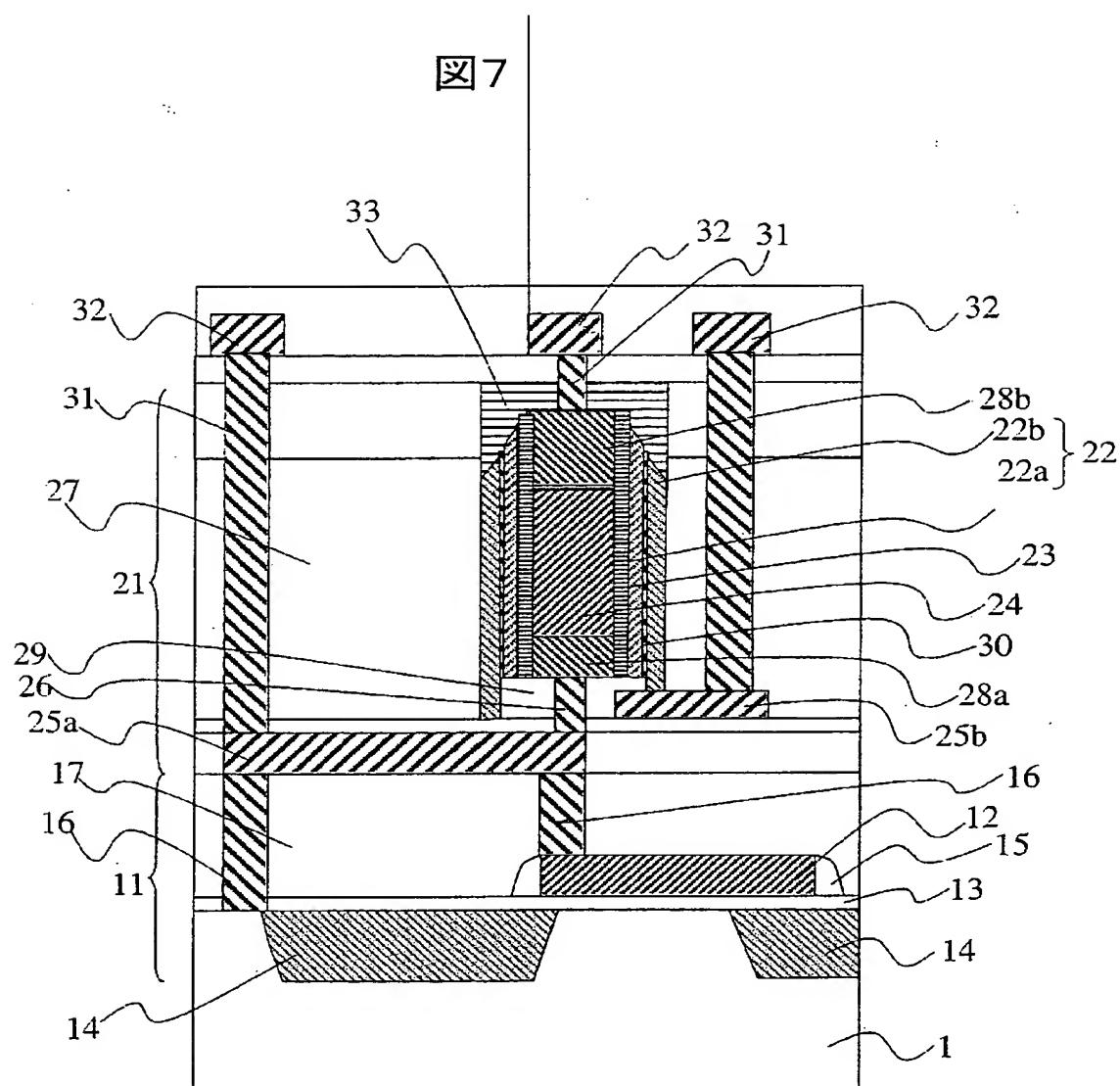


【図6】

## 図6



【図7】



【書類名】 要約書

【要約】

【課題】

縦形トランジスタを採用した場合でも製品歩留りの低下や性能劣化を防止し、チップの高集積化と高性能化の両立を可能とする。

【解決手段】

半導体基板と、前記半導体基板上に絶縁層を介して形成された、不純物拡散領域により積層方向に挟まれるようにチャネル領域が形成された柱状のゲート柱と、前記ゲート柱の外周に形成されたゲート絶縁膜と、前記ゲート絶縁膜の外周に形成されたゲート電極膜と、を有し、前記ゲート電極膜は、前記ゲート柱から前記ゲート電極が形成された方向に複数の層により形成されることを特徴とする半導体装置である。

【選択図】 図1

特願 2003-141403

出願人履歴情報

識別番号 [503121103]

1. 変更年月日 2003年 4月 1日

[変更理由] 新規登録

住 所 東京都千代田区丸の内二丁目4番1号  
氏 名 株式会社ルネサステクノロジ